版图设计实践

实验指导书



电子工程学院

实验一 绘制标准逻辑单元版图

实验目的:

了解集成电路版图设计基本原理;熟悉版图设计软件 cadence virtuoso 的使用。

实验内容:

学习集成电路版图设计基础;学习 cadence virtuoso 基本操作;绘制完成标 准逻辑单元版图。

实验原理:

集成电路版图设计是电路系统设计与集成电路工艺之间的中间环节。通过集成电路版图设计,将立体的电路系统转变为二维平面图形。利用版图制作掩模板,就可以由这些图形限定工艺加工过程,最终还原为基于半导体材料的立体结构。

以最基本的 MOS 器件为例,工艺生产出的器件应该包含源漏扩散区、栅极 以及金属线等结构层。按照电路设计的要求,在版图中用不同图层分别表示这些 结构层,画好各个图层所需的图形,图形的大小等于工艺生产得到的器件尺寸。 正确摆放各图层图形之间的位置关系,绘制完成的版图基本就是工艺生产出的器 件俯视图。

器件参数如 MOS 管的沟道尺寸,由电路设计决定,等于有源区与栅极重叠部分的尺寸,如图 1。其他尺寸由生产工艺条件决定,不能随意设定。



在工艺生产中,相同结构层相连即可导电,而不同结构层之间是由氧化层隔 绝的,相互没有连接关系,只有制作通孔才能在不同结构层之间导电。与工艺生 产相对应的版图中默认不同图层之间的绝缘关系,因此可以不必画氧化层,却必 须画各层之间的通孔。另外,衬底在版图设计过程中默认存在,不必画出。而各 个 N 阱、P 阱均由工艺生产过程中杂质掺杂形成,版图中必须画出相应图形。

2

实验步骤:

打开指定电路图,浏览并简单分析电路结构; 为电路新建版图文件; 根据版图基本原理,为电路绘制版图。 (详细内容参考《Cadence virtuoso 使用简介》)

实验报告要求:

应包含对电路功能的简单分析,以及绘制完成的版图图片。

思考题:

观察《Cadence virtuoso 使用简介》中给出的反相器版图,思考为什么把两 MOS 管栅极放在一条直线上,而不是并排放置。



实验二 简单数字逻辑模块版图设计

实验目的:

了解集成电路版图设计规则;熟悉版图设计技巧;掌握基于 DIVA 的版图验 证方法。

实验内容:

学习版图设计规则、设计方法及相关技巧;学习集成电路版图验证方法;完成指定逻辑电路的版图设计及验证。

实验原理:

(1)图形尺寸,

版图设计过程中所涉及到的所有图形尺寸,一方面由电路设计决定,比如 MOS 管的沟道尺寸等器件特性参数;另一方面由工艺生产线提供的 DRC (设 计规则)文件决定。DRC 文件设定了包括最小图形尺寸、最小图形间距、图形 重叠关系等参数。而不同工艺生产线的 DRC 文件参数不同。整个版图设计过程 必须严格按照 DRC 文件的参数设定进行。

(2) 源漏共用,

根据 DRC 文件,版图设计中器件之间有最小间隔距离限制,即使相同类型 相同参数的器件之间也必须保持最小间距。而 MOS 管的结构决定它具有源漏两 极可互换的特点。利用这一原理,可以得出源漏共用的设计方法。

所谓源漏共用,指当两个不同的 MOS 管 A、B 属于同一类型(如 PMOS) 时,如果有连接到相同节点的电极(如源极),在版图上就可以将这两个源极画 在一起,即两个 MOS 管共用同一个源极。如图 1。





图 1 (a) 源漏共用前

源漏共用可以有效缩小版图面积,降低成本。

(b) 源漏共用后

注意:由于 P 型衬底上, PMOS 管通常制作在 N 阱内, 而 N 阱之间最小间

4

距极大,所以普通 PMOS 管的 N 阱也要实现共用。制作在 P 阱内的 N 管道理相同。

(3) 棒状图设计,

为了方便地从电路中得到最有效的源漏共用版图,可以使用"棒状图设计", 在绘制版图之前先制作一个结构草图。以图2所示电路示意图为例,利用棒状图 设计制作结构草图,如图3。



因为采用共用区域,所有 P 管紧挨在一起,所有 N 管也紧挨在一起。所以 在图中可以用棒状图形代表有源扩散区(按照惯例 P 管在上,N 管在下),细短 线代表栅极。显然,A、B、C 三对 MOS 管的有源区相互断开,没有实现源漏共 用,如果将某一管源漏翻转,制作如图 4 的结构图,即可实现一处源漏共用。



在棒状图中,也可以将器件按电路图连接,建立好连接关系示意图,方便绘 制版图。

5

实验步骤:

浏览电路,分析电路功能;

制作棒状结构图;

调用 NMOS、PMOS 单元版图,并调整器件尺寸,为电路绘制版图(注意 衬底电位的连接);

利用 DIVA 工具验证版图。

(详细内容参考《Cadence virtuoso 使用简介》)

实验报告要求:

应包含对电路功能的简单分析, 绘制完成的版图图片。

实验三 模拟电路版图设计

实验目的:

掌握模拟电路版图设计技巧;了解集成电路版图基本布线规则。

实验内容:

学习大尺寸 MOS 管版图画法;学习集成电路版图布局布线规则;设计完成两级运放版图。

实验原理:

(1) 大尺寸 MOS 管画法,

在集成电路设计中,要实现大电流的主要方法就是之一就是增大 MOS 管沟 道宽度,所以在电路图中常会看到宽长比为 10 以上甚至 100 以上的细长管子。 以宽长比 100 的管子为例,如果沟道长 1 微米,则宽 100 微米,对于如今的集成 电路规模,100 微米是个很大的尺寸。并且由于器件本身的寄生效应,过长的栅 极会导致很大的寄生参数,影响电路性能。

为了减小寄生参数,唯一的办法就是缩短版图上的栅极长度。缩短栅极长度 不是减小沟道宽度,而是将一个细长的管子拆分成几段,比如将100 微米长的栅 做成4个25 微米长。这样,与原设计的管子相比宽长比不变,而每个小管子的 栅长变为原来的1/4,寄生参数也变为1/4。在版图上四个栅极并联,并联后的寄 生参数是原来的1/16。

注意: 大尺寸管应单独做好衬底接触,并与周围器件隔离。

(2) 叉指结构

这种细长的大尺寸管一般出现在放大电路的输入级,每两个一组以对管的形 式出现。两管被拆分之后将分布在一个矩形区域内。因为不能保证衬底材料在不 同位置的性质完全相同,同时又必须尽量使输入对管特性一致,做到最大限度的 匹配,所以应设法使拆分后的对管较均匀的分布在这一区域内,在材料性质上取 平均值。

基本方法是使两管拆分后的小管子逐个相邻,利用源漏共用,交叉分布,称为"叉指结构"。如图1。



然而,基本的叉指结构只能做到器件在区域内轴对称分布,为了实现更好的 匹配效果,一般要做两组叉指,使两管拆分后的小管子在矩形区域内形成中心对 称的分布。如图 2。



(2) 布局布线

布局:集成电路版图基本布局规则是 PMOS 管在上、NMOS 管在下,夹在 一条电源线和一条地线之间,构成一行。其中要尽量保证电源线平直,各管子栅 极与电源线垂直。并根据电路功能划分模块,每一模块中除电源和地线外的左右 两侧分别作为输入和输出信号线的布线位置。各行依次并列排开,实现电源线与 地线的共用。

布线:由于不同结构层之间有氧化层隔绝,两层材料重叠的位置必然形成寄 生电容。为减小寄生效应,相邻结构层中的布线应尽量避免重叠,更不能平行排 布。如定义布局之初 MOS 管的栅极方向为纵向,则与之紧邻的第一层金属布线 ——一铝应采用横向排布。同理,一铝之上紧邻的二铝应采用纵向排布,以此类 推。

另外,一铝布线应该尽量在器件周边绕行,避免跨越器件影响器件性能。



图 3 图中方框代表器件,黑线代表金属线

布线时应注意通孔数量。一般情况下,衬底接触和有源区接触布线需要在整 个衬底接触区域内,保持一定间距,连续制作一排通孔;模拟电路部分多晶硅栅 引线处,制作两个通孔;数字电路部分由于面积限制,多晶硅栅引线处可以只制 作一个通孔;相邻金属层之间,如果面积允许,至少制作两个接触孔。

实验步骤:

浏览电路,分析电路功能;

规划版图布局;

调用 MOS 管单元版图,调整器件尺寸,绘制大尺寸器件及版图;

完成版图布线;

用 DIVA 工具验证版图。

(详细内容参考《Cadence virtuoso 使用简介》)

实验报告要求:

应包含对电路功能的简单分析,绘制完成的版图图片。

Cadence virtuoso 使用简介

一、 启动软件并浏览电路图

Cadence virtuoso 原是基于 linux 操作系统的软件,但为了教学使用方便,本 实验使用虚拟机实现 linux 以及对 Cadence virtuoso 的操作。首先启动虚拟机软件, 以及虚拟的 linux 系统,系统账号: tang,系统密码: ictang。

进入系统后,双击名为"icfb.sh"的图标,弹出如图 1.1 所示对话框,点击 "运行",启动 Cadence 软件。

≥ 运行还是显示?		×
 您是要运行"icfb.sh",还是显示它的内容? "icfb.sh"是可执行的文本文件。 		
在终端中运行(□) 显示(□) 業 取消(○)	运行(<u>R</u>)	图 1.1
启动后,出现如图 1.2 所示的窗口,称为 CIW 窗口。		
icfb - Log: /home/tang/CDS.log	- • ×	
File Tools Options	Help 1	
Loading auCore ext Loading schView.ext Loading selectSV.ext Loading seismic.ext END OF SITE CUSTOMIZATION		
mouse L: M: R:		
>		1.2

在 CIW 窗口中依次点击"Tools"—"library manager"打开库文件管理器, 并从中单击选择所需的 library—cell—view,双击"schematic"打开目标电路图。 例如依次点击 LTC3400—inv—schematic,如图 1.3。

	Library Manager: WorkAr	ea: /home/tang						
File Edit View Design Manager Help								
Show Categories	Show Files							
Library	Cell	View						
LTC3400	linv	Ischematic						
LTC3400 MYLIB	and2 bias	schematic						
analogLib basic cdsDefTechLib	inv miller	图 图 图						

打开 schematic editing 窗口如图 1.4, 浏览电路图, 其中1 代表 MOS 管沟 道长度, w 代表 MOS 管沟道宽度。也可以选择某一器件, 使用快捷键 "q"查 看属性。经过简要分析之后, 可以开始为电路绘制版图。



schematic editing 窗口常用指令及快捷键

指令	快捷键	指令	快捷键
Wire(N)(添加连线)	W	Wire(W)(添加总线)	W
move (移动)	m	Copy (复制)	С
Stretch (拉伸)	S	Property(查看属性)	q
Zoom in (放大)	Ctrl+z	Zoom out (缩小)	Shift+z
Pin(添加引脚)	р	添加文本	1

二、 绘制版图

2.1. 新建版图文件

在库文件管理器菜单中依次点击 file—new—cell view,出现如图 2.1 所示的 新建文件窗口。注意,版图文件的 library name (库名)、cell name (单元名)必 须与电路文件相同。点击"tool"右侧的工具选择按钮,选择"virtuoso",点击 OK,完成新文件创建。

•	Crea	te New File	×				
ок	Cancel	Defaults	Help				
Library Name							
Cell Name	e i	nvį					
View Nan	ne 1	ayout					
Tool		Virtuoso	_				
Library path file							
/home/tang/cds.libį							

2.2. 界面介绍

Virtuoso 操作界面由两部分组成,分别是 layout editing(版图编辑窗口)如 图 2.2 和 LSW(图层选择窗口)图 2.3。

2.2.1. layout editing

对版图的编辑通过一系列指令完成。版图编辑窗口中,顶端显示文件所对应的库名、单元名、文件类型信息。另外,窗口由三部分组成,分别是 icon menu (图标菜单)、menu banner (菜单栏)、status banner (状态栏)。

icon menu(图标菜单)位于版图编辑窗口左侧,列出了常用命令的图标,只需将鼠标移动到某一图标上,图标下方就会显示该图标对应的指令。

menu banner(菜单栏)位于版图编辑窗口上方,包含编辑版图所需要的所 有指令,并按相应的类别分组。常用指令及对应快捷键如下表。

指令	快捷键	指令	快捷键
Rectangle(创建矩形)	r	Polygon(创建多边形)	Р
Chop (切割图形)	Shift+c	Path (创建连线)	р
move (移动)	m	Copy (复制)	С
Stretch (拉伸)	S	Property (查看属性)	q
Ruler (标尺)	k	清除标尺	Shift+k
Zoom in (放大)	Ctrl+z	Zoom out (缩小)	Shift+z
添加文本	1		

注意:指令快捷键操作区分大小写。

status banner (状态栏) 位于菜单栏上方,显示鼠标所在位置的坐标、当前 编辑指令等编辑状态信息。

		////					Virtu	oso	® Lay	/out	Edi	ting:	LTC	3400	inv l	ayou	It								×
X: -	9.7		Y	: -3.2	2		(F)	Sel	ect: O			DR	D: 0	FF	C	IX:			dY	':		Dis	t:		2
Tools	Des	ign	Win	dow	Cn	eate	Edi	t V	erify	Cor	nect	tivity	Op	tions	Rou	ting		$\overline{\ }$						Help	•
٠																			状态	栏					
Q									菜	単 栏	1 1 1														•
¢																									
ବ୍		图	标支	を单																					•
																									•
Q																									
34														·											•
\cap																									
旧란														· ·											•
C.C.C.																									·
<u>س</u>																									
S.	mous >	e L	:							M :							F	ł :							

图 2.2

2.2.2. LSW

LSW,即layer select window(图层选择窗口)。该窗口显示设计版图所用的 工艺库文件的位置、可供选择和当前选中的版图图层,以及各图层的属性。如图 2.3,显示当前所用工艺库文件位于"MYLIB"目录下,当前选择的图层为"active"。 其中,工艺库文件在工程创建之初已经确定,不用再做操作。而可供选择的图层, 根据不同设计需求会有所不同,并可以自己编辑设定。常用图层名称及其含义如 下表。

版图图层名称	含义
Nwell	N 阱
Active	有源扩散区(做 MOS 的源极和漏极)
Pselect	P型注入掩膜
Nselect	N型注入掩膜
Poly	多晶硅(做 MOS 管的栅极)
Cont	引线孔(连接金属与多晶硅或有源区)
Metal1	第一层金属
Metal2	第二层金属
Via	通孔(连接第一和第二层金属)

Text

文本标签



图 2.3

2.3. 绘制版图

以反相器为例,分别介绍 PMOS 和 NMOS 版图,及版图设计基本操作。

2.3.1. 绘制 PMOS 版图

第一步:绘制有源区。

在 LSW 中,点击 active,即可选中有源扩散区图层,然后切换至 layout editing 窗口,使用 Rectangle 指令,根据图 1.4 中电路图提供的设计参数,画出长 4.2um、宽 3um 的矩形。绘制过程中,应注意使用 ruler 指令,精确量取所需尺寸。

第二步:多晶硅栅极。

在 LSW 中,选择 poly 层,并在 layout editing 窗口中画出长 5.4um、宽 0.6um 的矩形。有源区与多晶硅栅的位置关系如图 2.4。



第三步:表明器件类型。

为了表明所画的是 PMOS 管,需要在已完成的图形基础上添加 pselect 层。

绘制 pselect 层,使其覆盖整个有源区,并与有源区边缘相距 0.6um,即覆盖有源区 0.6um。

第四步:制作 N 阱。

因为芯片生产一般使用 P 型材料做衬底,所以,PMOS 管必须制作在 N 阱内,所以需要在 PMOS 管版图中添加一层 nwell,使其覆盖有源区 1.8um。完成 如图 2.5。



第五步:衬底连接。

PMOS 管衬底必须连接到高电位。所以需要在衬底做通孔,并用金属线将其 连接到电源 vdd。首先在 nwell 中作边长 1.2um 的正方形 active,并绘制 nselect 覆盖 active 层 0.6u; 然后选取 cc 在 active 中心画正方形通孔(标准尺寸边长 0.3um, 不同工艺要求不同); 最后选取 metal1, 画 3um 宽金属引线覆盖衬底通孔及 nselect。

注意:半导体衬底材料必须先制作 active 有源区,才能通过通孔与金属引线 连接。

第六步:布线。

PMOS 管的各个电极都需要连接到相应的输入输出信号和电源上,就需要进行布线。布线需要在有源区内画出若干通孔。注意,源区需要覆盖通孔最少 0.2um, 且通孔之间间距 1um。完成通孔后,选取 metal1,画两个矩形,覆盖有源区内的 cc 通孔 0.3um,并拉伸源极金属线,使其覆盖衬底通孔。如图 2.6



2.3.2. 绘制 NMOS 版图

NMOS 版图的绘制与 PMOS 基本相同。同样从有源区开始,最后完成衬底 连接与布线。不同的是,因为是 P 型衬底,画 NMOS 管不需要再做 P 阱。完成 的 NMOS 版图如图 2.7。其中有源区长 2.1um、宽 3.6um; 栅长 0.6um、宽 3.3um; nselect 覆盖有源区 0.6um。



2.3.3. 完成器件连接关系并添加端口

对于反相器, PMOS 与 NMOS 管栅极相连作为输入、漏极相连作为输出, 因此可以在版图中直接使用 poly 和 metall 将两管对应电极相连,完成器件的连 接关系。而端口则必须有金属布线。因此,两管漏极的 metall 可直接作为输出 端口,输入端口就需要在两管相连的栅极上做通孔,使 poly 覆盖通孔 0.3um,并 用 metall 进行金属布线。

完成版图绘制后,如图 2.8 从 LSW 中选择 metal1 (pin)。

2 🖻	Metaiz	arw	
] 🛛	K cc	drw	
200	via	drw	
ŝ 🗌	text	dr2	
	(metal1	pin	
100			

图 2.8

在版图编辑窗口中的菜单栏,选择 create——pin。出现如图 2.9 的窗口,开 始为版图添加端口。注意,电源端口与输入输出端口有所不同。

输入输出端口应在"mode"选项后选择 rectangle 模式,在 create shape pin 窗口编辑。在 terminal names (端口名)一栏,填写与电路图中端口相同的名字; 在 I/O type (输入输出类型)选项中,选取与电路图中端口相同的类型。并选择 "display pin name"。然后在版图编辑窗口中需要添加端口的位置画一小矩形, 之后再单击一次,即完成一个端口。这里的端口图层仅表示连线关系,不生成掩 模板,无所谓规则,只要与实际版图上的铝线连接即可。

		Create Shap	e Pin		////// ×
Hide Cancel					Help
Terminal Names	a			1	
🔄 Keep First Nan	ne _{X Patch}	0 y	Pitch 0	4	
Mode	🔶 rectangle	\diamond dot \diamond poly	gon 🔷 circle 🔷 a	auto pin 🔇	sym pin
🔳 Display Pin Na	ne	Display Pin Na	me Option		
I/O Type	🔶 input	🔷 output	🔷 input Output		
	\diamondsuit switch	\diamondsuit jumper			
Snap Mode	orthogonal =				
Access Direction	🔳 Тор 🔳 Ва	ottom 🔳 Left 📕	Right		
As ROD Object	📕 Any 📃 No	one			
ROD Name	rectO				

添加电源端口需要选择 sym pin 模式,打开 create symbolic pin 窗口,如图 2.10。以添加 vdd 端口为例,端口名应为"vdd!", I/O type 选为"jumper", pin type 选择 "metal1"。gnd 端口的设置方法与 vdd 相同。

另外,可以在 create symbolic pin 窗口中选择 "shape pin" 切换至 create shape pin 窗口。

⊻ /////////	Create	Symbolic Pin]				
Hide Cancel			Help					
Terminal Names	vdd!							
Keep First Name X Bitch 0 Y Bitch 0								
Mode	Mode 🔹 sym pin 🔷 auto pin 🔷 shape pin							
🔳 Display Pin Na	me	Display Pin Na						
І/О Туре	⇔input ⇔switch	◇ output ♦ jumper	⇔ inputOutput					
Pin Type	metal1 😑							
Pin Width 0.4	5 <u>.</u>	Pin Length	0					
Access Direction	🔳 Top 🔳 Be	ottom 🔳 Left 🛽 one	E Right	图 2 10				

完整的 CMOS 反相器版图如图 2.11。



图 2.11

三、 版图验证与检查

版图的验证有两种模式 DIVA 和 DRACULA,前者操作相对简单,后者工作效率较高。两者操作不同,所使用的规则文件也不同,应根据实际的工艺库以及模型库提供的规则文件选择相应模式。

本实验采用基于 DIVA 的方式。

3.1. DRC

Design rule checking (设计规则检查)。版图的设计必须根据 DRC 规则文件进行,不同工艺的 DRC 规则文件不同。比如通孔的大小等尺寸问题以及图形间距,都由 DRC 规则文件决定。DRC 是版图设计过程中的必要步骤,建议完成一部分设计之后就做一次,分阶段进行。避免完成全图后再做 DRC,错误之间相互牵连不便修改。

DIVA 下的 DRC 规则文件名为 divaDRC.rul。通常与工艺库文件存放在相同目录。

在版图编辑窗口,单击菜单 verify ——DRC,弹出 DRC 规则检查对话框,如图 3.1。

\bigcirc				DRC					
ок	Cancel	Defaults	Apply	Help					
Checking	Method	🔶 flat	🔷 hierar	chical 🔷 hier w/o optimization					
Checking Limit 🔹 🔶 full 😞 incremental 😞 by area									
		Coontin	ate	Sel by Cursor					
Switch N	lames		I	Set Switches					
Run-Spe	Run-Specific Command File								
Inclusion	Limit		1000	Limit Rule Errors 🔄 0					
Join Net:	s With San	ne Name		Limit Run Errors 🔄 0					
Echo Cor	nmands								
Rules Fil	e		divaDR	C. rul <u>i</u>					
Rules Library									
Machine			🔶 local	√ remote Machine ▲					
Use Erro	r Databas	e							

Checking method 指要检查的版图类型,包括三个可选项:

Flat,检查版图中所有图形,不检查子版图模块;

Hierarchical,利用层次之间的结构关系和模式识别优化,检查电路中每个单元块内部是否正确;

3.1

hier w/o optimization 利用层次之间的结构关系而不用模式识别优化,来检查 电路中每个单元块。

Checking Limit 可以选择检查哪一部分的版图

Full,检查整个版图;

Incremental 检查自从上一次 DRC 检查以来,改变的版图;

by area,在指定区域进行 DRC 检查。一般版图较大时,可以分块检查。

如果选择这种方式后,Coordinate 这个输入框就变为可输入。可以在这个框内输入坐标,用矩形的左下角和右上角的坐标来表示。格式为:12599:98991 115682:194485。或者先单击 Sel by Cursor,然后用鼠标在版图上选中一个矩形, 这个输入框也会出现相应的坐标。如果不出现可以多选几次。

Switch Names

在 DRC 文件中,我们设置的 switch 在这里都会出现。这个选项可以方便我 们对版图文件进行分类检查。这在大规模的电路检查中非常重要。本实验中暂不 使用。

Run-Specific Command File 与 Inclusion Limit,这两项不是必需的,可以根据 默认设定。

Echo Commands 选上时在执行 DRC 的同时在 CIW 窗口中显示 DRC 文件。 Rules File 指明 DRC 规则文件的名称,默认为 divaDRC.rul。 Rules Library 这里选定规则文件在哪个库里。

Machine 指明在哪台机器上运行 DRC 命令。

local 表示在本机上运行。对于我们来说,是在本机运行的,选 local。

remote 表示在远程机器上(如服务器)运行。并在 Machine 文本框中输入远程机器的名字。

填好各个选项及相关信息,可以开始 DRC,点击 OK,可以在 CIW 窗口看 到运行信息。如果有错,CIW 窗口会提示错误数量及错误类型,并在版图编辑 窗口出现闪烁标记。错误在版图文件中可以看到,另外也可以选择 Verify-Markers-Find 菜单来帮助找错。单击菜单后会弹出一个窗口,在这个窗口 中单击 apply 就可以显示第一个错误。同样,可以在菜单中选择 Verify-Markers-Explain 来看错误的原因提示。选中该菜单后,用鼠标在版图上出 错了的地方单击就可以了。也可以选择 Verify-Markers-Delete 把这些错误提示删 除。

3.2. Extractor

Extractor 版图提取,用来提取版图网表信息。在版图编辑窗口菜单中选择 verify-extract 即可打开如图 3.2 的对话框。

集成电路测试实验指导书

 ✓ ///// 				Extractor		// ×
ок	Cancel	Defaults	Apply			Help
Extract N	lethod	🔶 flai	t 🔷 mac	ro cell 🔷 full hier 🔇	incremental hier	
View Nan	nes	Extracted	extract	æd Ex	cell excell	
Switch N	lames		Extract	_parasitic_caps	Set Switch	es
Run-Spec	cific Comn	nand File				
Inclusion	Limit		1000	Limit Rule Er	rors 🔤 0	
Join Nets	: With San	ne Name		Limit Run E n	rors 🗌 🛛	
Echo Con	nmands					
Rules File	9		divaEX	T. rul <u>i</u>		
Rules Lib	rary		E _Te	chLib_tsmc03		
Machine			🔶 local	⇔remote Mach	ine 1	
Use Erro	r Databas	e				

Extractor 的设置与 DRC 基本相同,可参照图 3.2 进行设置,需要注意的是 根据实际情况选择 switch names。设置完成后,点 OK 开始提取版图网表。提取 成功后,在版图文件的存放目录下,增加一个文件类型叫 extracted 的文件,可 以用打开版图文件同样的方式打开它。打开可以看到提取出来的器件和端口,要 看连接关系的,选择 Verify-probe 菜单,在弹出窗口中选择查看连接关系。可以 不必查看,直接进行 LVS。

3.3. LVS

Layout vs. schematic comparison (版图与电路对比),检查设计完成的版图是 否与原电路相符。在版图编辑窗口菜单中选择 verify-LVS 即可打开如图 3.3 的对 话框。

· ////////////////////////////////////	Ar	tist LVS					
Commands				Help 5			
Run Directory	LVŠ			Browse			
Create Netlist	schematic		🔳 extract	ted			
Library	logiď		logiď				
Cell	invl		invl				
View	schematic		extracted				
	Browse S	el by Cursor	Browse	Sel by Cursor			
Rules File	divaLVS.rul			Browse			
Rules Library							
LVS Options	Rewiring		Device	Fixing			
	Create Cro	ss Reference	📕 Termina	als			
Correspondence	File lvs	_corr_file		Create			
Switch Names							
Priority 🖞	Run local						
Run	Output E	rror Display	Monito	or Info			
Backannotate	Parasitic P	robe Build	Analog	Build Mixed			

注意:如果之前运行过 LVS,此时会出现一个警告窗口,如图 3.4。在窗口 中选择 form contents,然后点 OK。

\bigcirc		Artist LVS Form Contents Different	//////
ок	Cancel		Help
The se	lected L	VS Run directory does not match the Run Form.	
Use		\blacklozenge Form Contents \bigcirc Run Directory Contents	
Differe	nces:	Extracted Cell Name: mos Schematic Cell Name: mos Rules File:	
-		Correspondence File Name: /home/tang/lvs_corr_file	
		1	

在 LVS 对话框中 create netlist 一栏分为两部分, schematic 和 extracted, 分 别对应要对比的电路网表和版图网表。单击 browse 库文件管理器,从中点击选择所需的 library、cell、view, LVS 对话框中的相应内容会自动填写。参照图 3.3 完成设置,单击"run"按钮,即可开始 LVS 验证过程。

数分钟后,验证完成,会弹出如图 3.5 的信息窗口,显示验证是否成功。

$\mathbf{\nabla}$			An	alysis Job Si	ucceeded	J				×	
21 mil)	Job	'/home/tang/LVS'	that was	started at	'Dec 31	08:45:07	2009'	has	succeeded		
	ок			Cancel					Help		र् द

如果验证失败,检查各项设置,重新开始验证。如果验证成功,返回 LVS 窗口,单击"output"按钮,查看验证报告。在如图 3.6 的验证结果窗口中,首

先分别显示电路和版图的网表信息。将窗口右侧的滚动条向下拉,就可以看到验证结果信息,包括错误列表以及错误原因。针对各个错误,检查电路和版图,修改之后重复整个版图检查验证过程,直到验证结果中不再有提示错误。

	/home/tang/LVS/si.out	- •×
File	H	ielp 8
@(#)\$CDS: LVS.exe versi	on 5.1.0 09/12/2006 22:46 (cicln03) \$	
Command line: /home/tan Like matching is enable Net swapping is enabled Using terminal names as	g/ic5141/tools/dfII/bin/32bit/LVS.exe -dir /home/tan d. L. correspondence points.	ıg∕L V S
N-t 1:-t 6-		
Net-List summary ro	or /nome/tang/Lv5/layout/netlist	
5	nets	
4	terminals	
1	pmos	
1	nmos	
Net-list summary fo count 4 4 1 1	r /home/tang/LVS/schematic/netlist nets terminals pmos nmos	
mananian] assume and		
NO N3	a cence hornes	
N4 N5	b	
N3 N1	gnd!	
N1 N0	vdd!	
Devices in the netlist pcapacitor pmos	but not in the rules: : nmos	
Ill-defined corresp	ondence points.	